САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab6

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д. Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Упражнение 6\_1 4](#_Toc63523385)

[1.1 Задание 4](#_Toc63523386)

[1.2 Результат синтеза (RTL) 4](#_Toc63523387)

[1.3 Функциональное моделирование 5](#_Toc63523388)

[1.4 Назначение выводов СБИС 5](#_Toc63523389)

[1.5 Выводы 5](#_Toc63523390)

[2 Упражнение 6\_2 6](#_Toc63523391)

[2.1 Задание 6](#_Toc63523392)

[2.2 Схема проекта 6](#_Toc63523393)

[2.3 Результат синтеза (RTL) 7](#_Toc63523394)

[2.4 Функциональное моделирование 7](#_Toc63523395)

[2.5 Назначение выводов СБИС 7](#_Toc63523396)

[2.6 Выводы 8](#_Toc63523397)

[3 Упражнение 6\_3 8](#_Toc63523398)

[3.1 Задание 8](#_Toc63523399)

[3.2 Результат синтеза (RTL) 8](#_Toc63523400)

[3.3 Функциональное моделирование 9](#_Toc63523401)

[3.4 Назначение выводов СБИС 9](#_Toc63523402)

[3.5 Выводы 9](#_Toc63523403)

# Упражнение 6\_1

## Задание

На языке Verilog создайте:

• Функцию, обеспечивающую преобразование двоичного кода в код Грея и обратное преобразование кода Грея в двоичный код:

Особенности:

♣ Разрядность преобразуемого кода задается параметром

♣ необходимо использовать циклы

♣ аргументы функции

♠ вектор (разрядность задается параметром)

♠ направление преобразования: 0: двоичный код в код Грея 1: код Грея в двоичный

• Модуль (параметризированный, параметр разрядность преобразуемого кода), содержащий два экземпляра разработанной функции:

o Один экземпляр функции преобразует входной двоичный код в код Грея (разрядность задается параметром)

o Второй экземпляр функции преобразует код Грея в выходной двоичный код (разрядность задается параметром)

• Осуществить моделирование модуля при значении параметра 4 (разрядность преобразуемых кодов – 4)

• Реализовать модуль в СБИС ПЛ и проверить работу на плате при значении параметра 4 (разрядность преобразуемых кодов – 4)

o Входной двоичный код поступает с переключателей SW[3:0]

o Полученный (с помощью первого экземпляра функции) код Грея отображается на светодиодах led [7:4] и поступает на второй экземпляр функции для преобразования в двоичный код.

o Полученный (с помощью второго экземпляра функции) двоичный код отображается на светодиодах led [3:0]

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

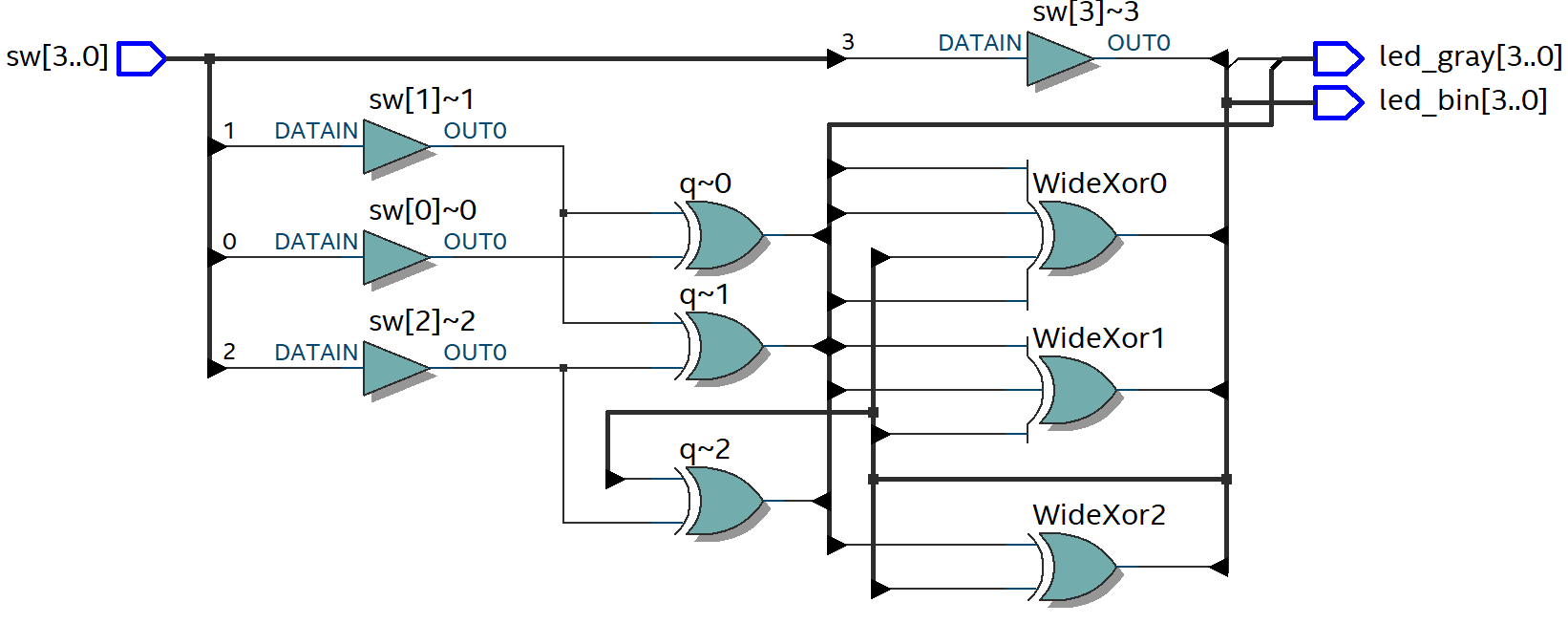


Рис. 1‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

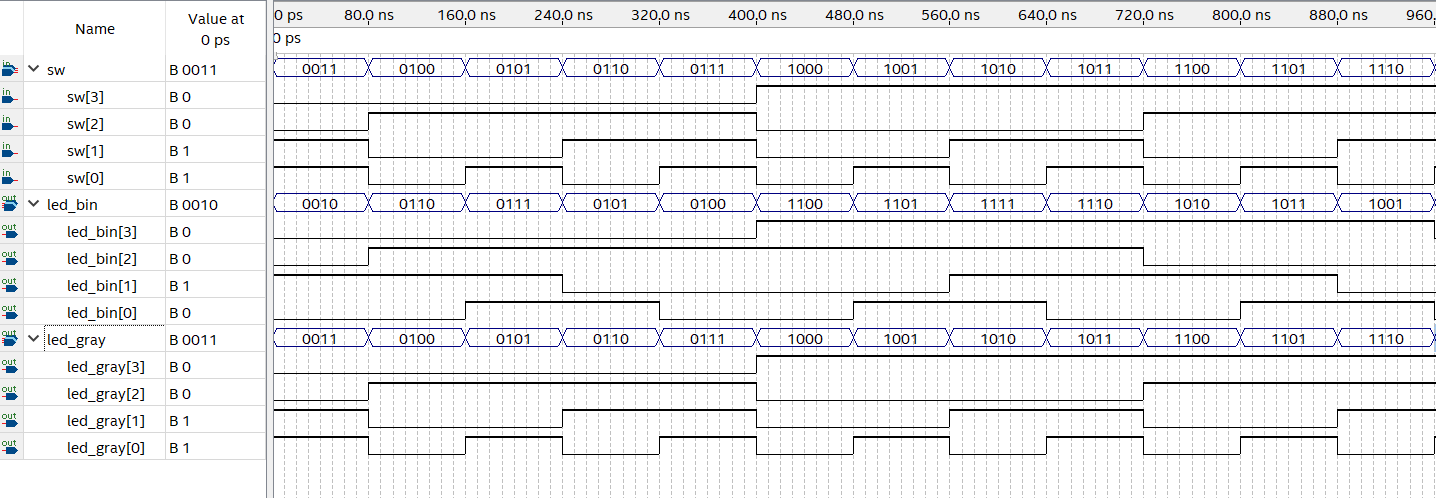


Рис. 1‑3 Функциональное моделирование

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

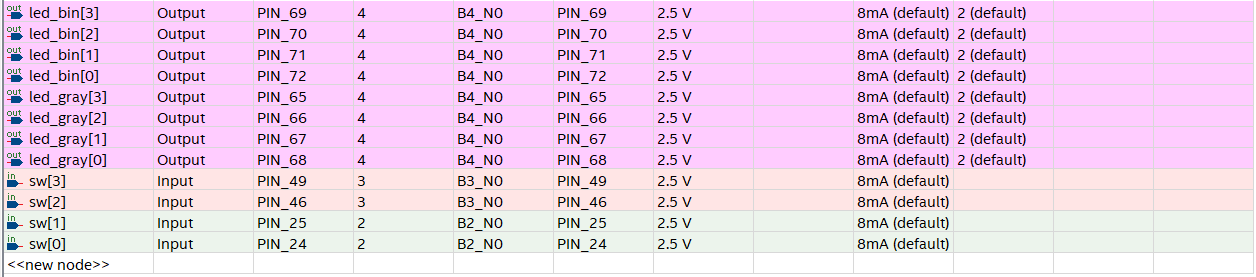


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе проведения лабораторной работы на языке Verilog была создана функция, обеспечивающую преобразование двоичного кода в код Грея и обратное преобразование кода Грея в двоичный код. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 6\_2

## Задание

На языке Verilog создайте описание:

* Task(задачи) сортировки двух чисел (комбинационная схема)
* Передаваемые значений –два числа a и b
* Возвращаемые значения: min –меньшее из a и b; max –большее из a и b.
* Устройства (комбинационная схема) сортировки четырех 2-разрядных чисел, использующего созданную задачу.

Входы:

* Переключатель sw[7:6] –операнд A
* Переключатель sw[5:4] –операнд B
* Переключатель sw[3:2] –операнд C
* Переключатель sw[1:0] –операнд D

Выходы –операнды, отсортированные в по убыванию или по возрастанию

* светодиоды led[7:6]
* светодиоды led[5:4]
* светодиоды led[3:2]
* светодиоды led[1:0]

## Схема проекта

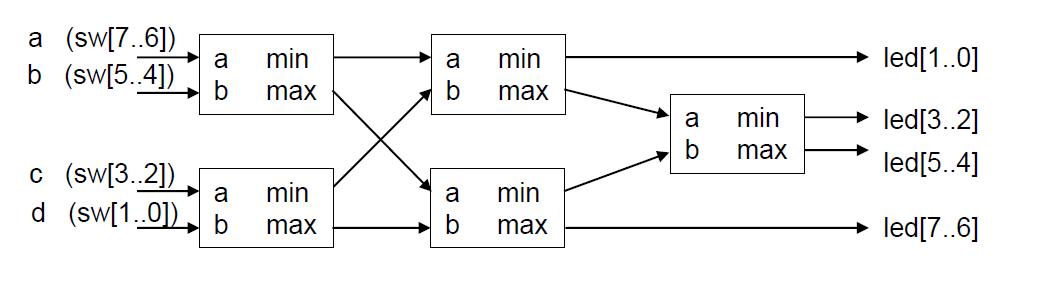


Рис. 2‑1 Схема проекта

## Результат синтеза (RTL)

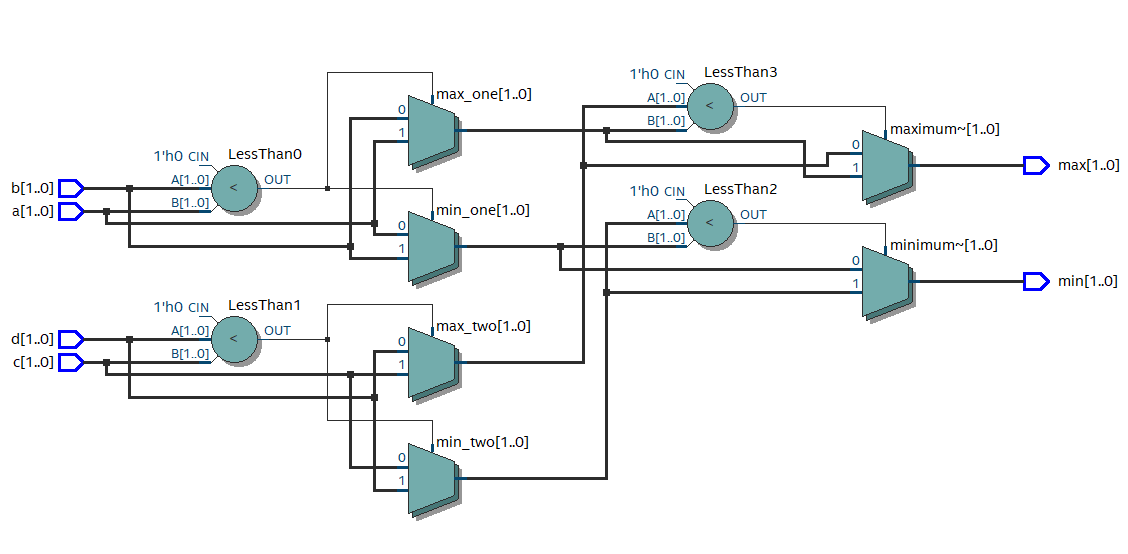


Рис. 2‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

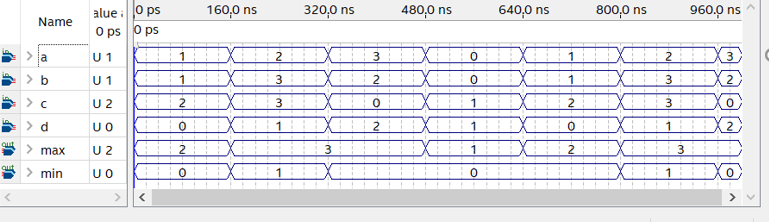


Рис. 2‑3 Функциональное моделирование

## Назначение выводов СБИС

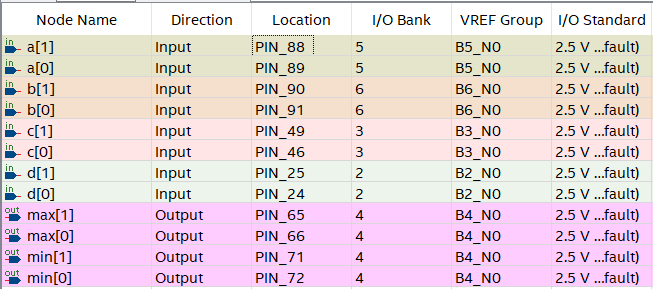


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы было описано на языке Verilog устройство (комбинационная схема) сортировки четырех 2-разрядных чисел, использующего созданную задачу. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 6\_3

## Задание

На языке Verilog создайте структурное описание устройства, приведенного ниже на схеме

В состав устройства входят:

* cnt\_d-cчетчик делитель (параметризированный, параметр –DIV)
* счетчик-делитель, обеспечивает счет по модулю DIV (базовое значение -3) и формирование синхронного сигнала переноса (активный уровень сигнала –1, длительность один такт тактовой частоты) по достижению счетчиком значения DIV-1.

Параметризированный счетчик cnt\_N–двоичный счетчик на сложение с параметризированной разрядностью (параметр N, базовое значение -4), имеющий вход тактовых сигналов (clk), вход разрешения работы (ena), вход асинхронного сброса (rst) и выход –q[N-1:0]

* data –формирователь данных для модуля памяти реализован на базе параметризированного счетчика cnt\_N
* adr –формирователь адреса для модуля памяти реализован на базе параметризированного счетчика cnt\_N

RAM–модуль памяти (простая одно портовая память с чтением старых данныхв процессе записи) параметризированный, параметры:

* word\_num–число слов –базовое значение 16,
* data\_W –разрядность данных –базовое значение 4

## Результат синтеза (RTL)

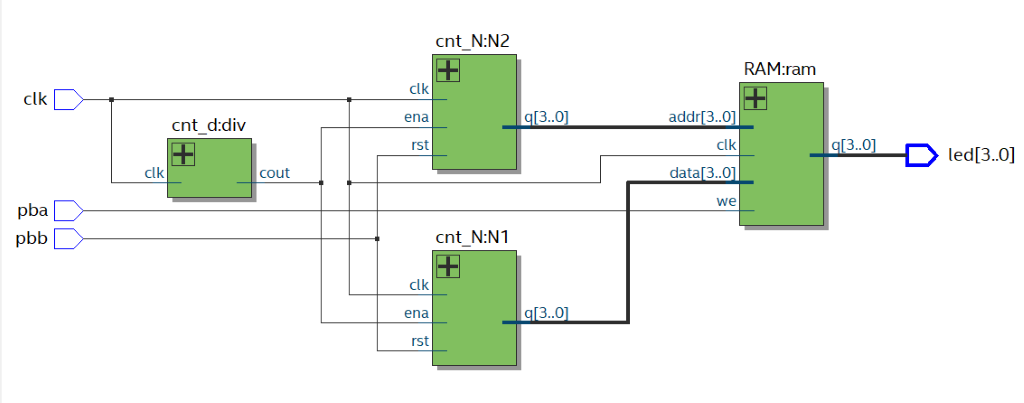


Рис. 3‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

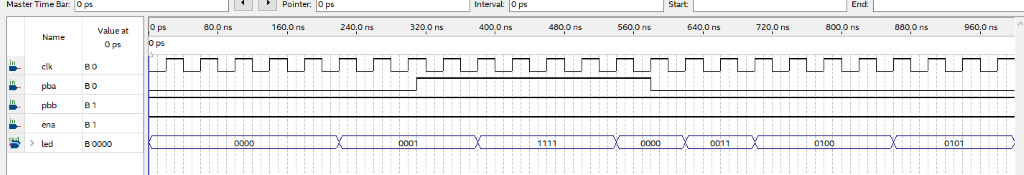


Рисунок 3. 1 - Функциональное моделирование

## Назначение выводов СБИС

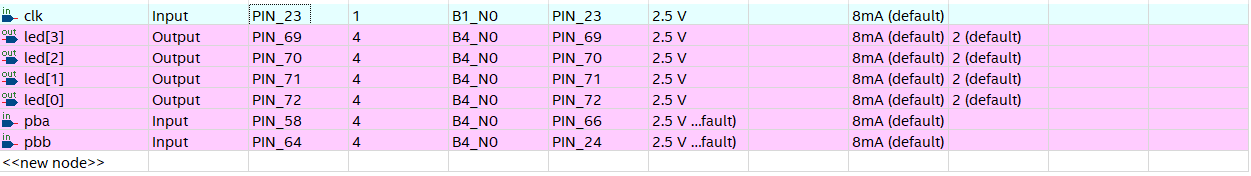


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы на языке Verilog был описан cnt\_d-cчетчик делитель (параметризированный, параметр –DIV) счетчик-делитель, который обеспечивает счет по модулю DIV (базовое значение -3) и формирование синхронного сигнала переноса (активный уровень сигнала –1, длительность один такт тактовой частоты) по достижению счетчиком значения DIV-1. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.